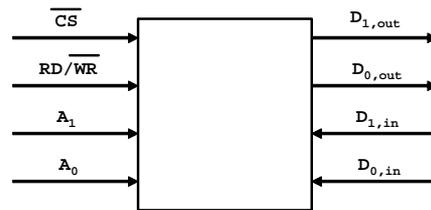


4. Übung

Vorlesung Rechnerstrukturen WS 2001/2002

1. Erweitern Sie das JK-Master/Slave-Flip-Flop aus der Vorlesung um einen asynchronen Reset-Eingang. Der Ausgang Q des Flip-Flops soll durch Anlegen einer log. 1 am Reset-Eingang unmittelbar auf log. 0 gehen.
2. Realisieren Sie die Funktion $A + \overline{C}D + \overline{B}D + B\overline{D} + \overline{B}CE$. Verwenden Sie dabei ausschließlich einen Multiplexer. Als Eingaben stehen Ihnen die Konstanten 0 und 1 sowie die Eingangsvariablen und deren Komplement zur Verfügung.
3. Entwerfen Sie einen Speicherbaustein mit folgendem Anschlußschema:



Die Anschlüsse verhalten sich wie aus der Vorlesung bekannt. Der Einfachheit halber gebe es getrennte, unidirektionale Datenleitungen für Ein- und Ausgabe und nicht wie bei handelsüblichen Bausteinen eine gemeinsame, bidirektionale Datenleitung. Beachten Sie, daß kein explizites Clocksignal bei der Konstruktion des Bausteines verwendet werden soll.

- 3.a. Überlegen Sie zunächst, wie Sie das Clocksignal für die Flip-Flops aus den im Diagramm dargestellten Eingangsleitungen erzeugen können. Welche Taktflanken der Signale sind in Ihrem Design ausschlaggebend, d.h. zu welchen Zeitpunkten werden die Daten von D_{in} zum Speichern in den Baustein übernommen bzw. wann werden die Daten an D_{out} zur Verfügung gestellt? Zeichnen Sie ein Timingdiagramm, in dem Sie einen Lese- und einen Schreibvorgang zeitlich darstellen. Markieren Sie dabei die eben besprochenen Datenübernahmezeitpunkte. Skizzieren Sie ferner in Hinblick auf benötigte Setup- und Hold-Zeiten, wann welche Signale zu einer korrekten Funktion des Bausteines stabil bleiben müssen.
- 3.b. Entwerfen Sie den Speicherbaustein. Verwenden Sie in Ihrer Realisierung JK-Master/Slave-Flip-Flops.

Ausgegeben: 26.11.2001

Abgabe: bis spätestens Montag 3.12.2001 vor der Vorlesung oder in V 118