

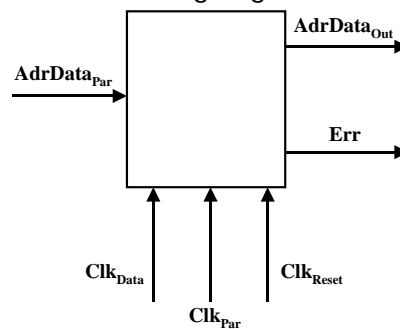
5. Übung

Vorlesung Rechnerstrukturen WS 2001/2002

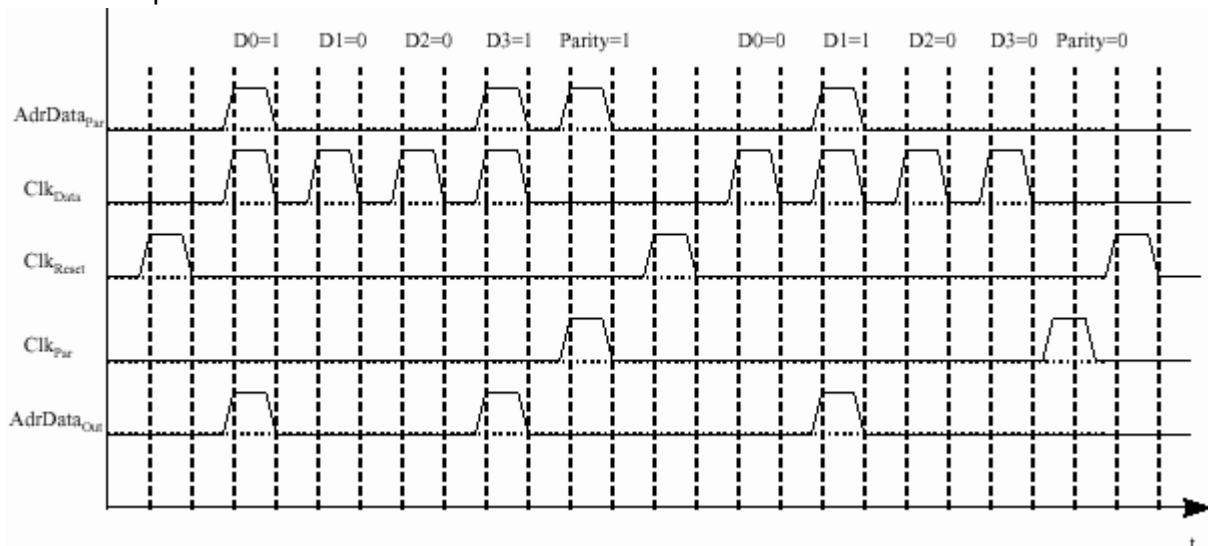
1. Es soll eine gemultiplexte Datenübertragung von vier Datenströmen realisiert werden. D.h. unter Benutzung einer Leitung sollen vier Datenströme in je einem virtuellen Kanal übertragen werden. Zur Selektion des Kanals dient eine 2-Bit-Adresse, die zusammen mit den Daten auf der gleichen Leitung übertragen wird.

Auf der Senderseite wird das gemischte Daten-/Adreßsignal inklusive ungeradem Paritätsbit erzeugt. In dieser Aufgabe soll die Logik für die Empfängerseite entwickelt werden. Als Eingabesignale stehen Ihnen das Daten-/Adreßsignal auf der Leitung $AdrData_{par}$ sowie mehrere Taktsignale nach untenstehendem Beispiel zur Verfügung. Realisieren Sie die Empfängerlogik in folgenden Schritten

- 1.a. Überprüfen Sie das Daten-/Adreßsignal $AdrData_{par}$ auf korrekte Übertragung, indem Sie aus den ersten vier Bits das erwartete (ungerade) Paritätsbit generieren und dieses mit dem aus dem empfangenen Signal extrahierten Paritätsbit vergleichen. Im Fehlerfall soll ein Ausgangssignal Err erzeugt werden. Dieses Signal muß lediglich zum Zeitpunkt der Paritätsprüfung gültig sein. Dabei wird eine fehlerhafte Übertragung durch $Err=1$ gekennzeichnet. Entfernen Sie das Paritätsbit aus dem Datenstrom, so daß dieser am Ausgang $AdrData_{out}$ zur Verfügung steht. Somit ergibt sich für die zu realisierende Schaltung folgendes Blockschaltbild:

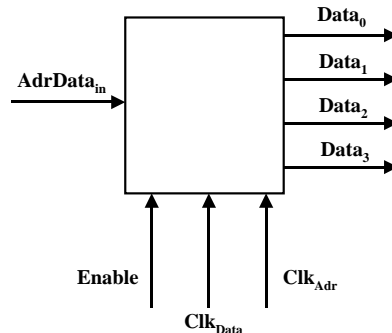


Als Beispiel werden die Datenblöcke 1001 und 0100 verarbeitet

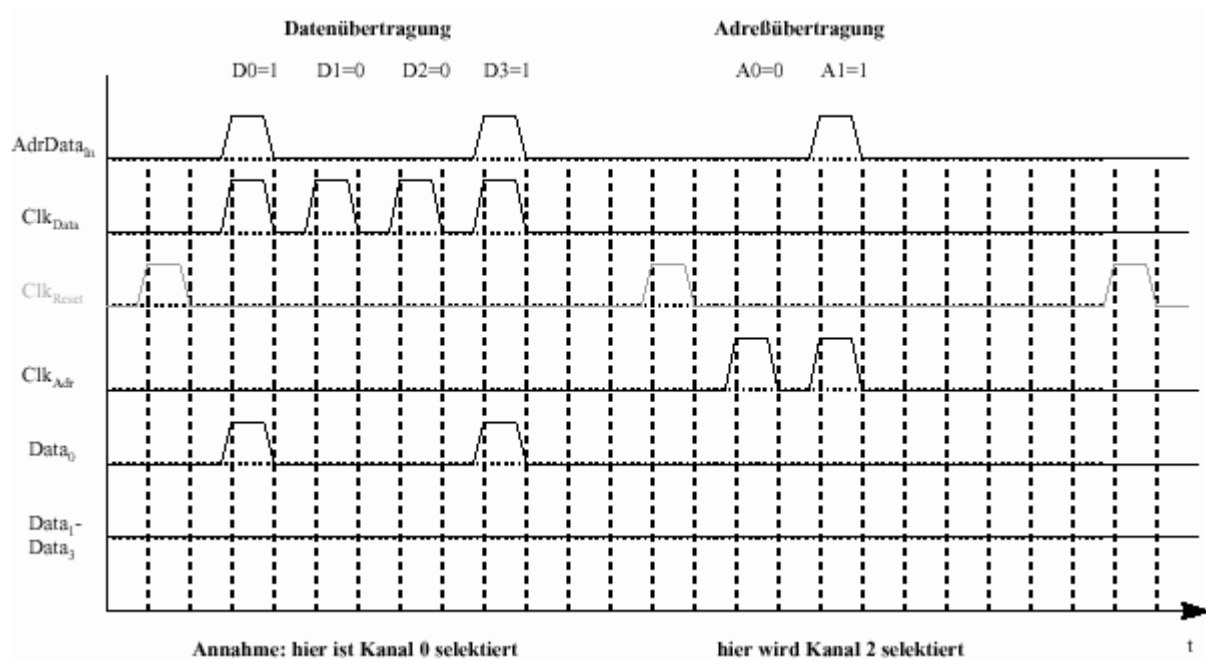


- 1.b. Entwerfen Sie ein Schaltung, die den Datenstrom entsprechend der übertragenen Kanaladresse auf einen von vier Ausgangsleitungen umlenkt. Die Übertragung einer Adresse kann anhand des entsprechenden Taktsignals Clk_{Adr} erkannt werden. Die

Schaltung soll einen Eingang AdrData_{in} besitzen, der das Daten-/Adreßsignal ohne Paritätsbit enthält. Die vier Ausgangsleitungen werden als $\text{Data}_0 \dots \text{Data}_3$ bezeichnet. Zusätzlich soll ein Eingang Enable bereitgestellt werden, der die Weitergabe des Eingabestromes auf die Ausgangsleitungen steuert. Bei $\text{Enable}=1$ werden die Daten auf den selektierten Ausgangskanal umgelenkt, während bei $\text{Enable}=0$ alle Ausgangskanäle auf log. 0 liegen sollen. Somit ergibt sich für die zu realisierende Schaltung folgendes Blockschaltbild:



Als Beispiel sei aktuell der Kanal 0 selektiert. Daraufhin erfolgt eine Datenübertragung gefolgt von einer Adreßübertragung, die Kanal 2 selektiert. Im Beispiel wird implizit davon ausgegangen, daß während der Adreßübertragung der Enable-Eingang auf log. 0 liegt.



- Realisieren Sie die Funktion $A + \bar{C}D + \bar{B}D + \bar{B}\bar{D} + \bar{B}CE$. Verwenden Sie dabei ausschließlich einen Multiplexer. Als Eingaben stehen Ihnen die Konstanten 0 und 1 sowie die Eingangsvariablen und deren Komplement zur Verfügung.

Ausgegeben: 3.12.2001

Abgabe: bis spätestens Montag 10.12.2001 vor der Vorlesung oder in V 118