

6.1 Rechnerstrukturen

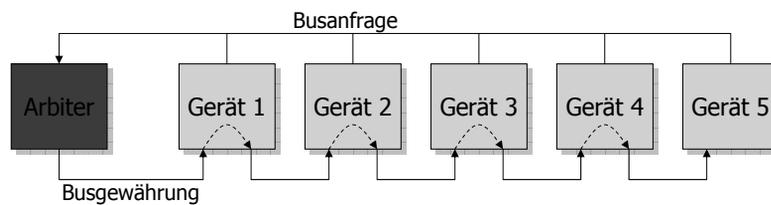
Busse

Busse

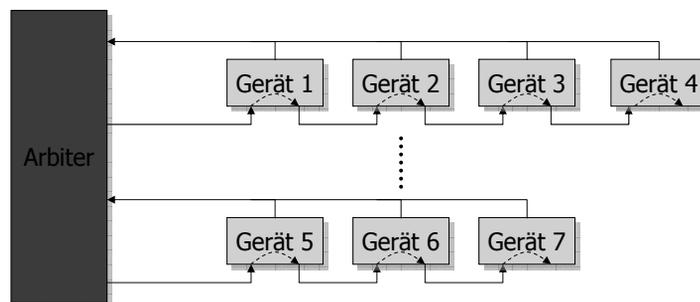
- Speicherbus Prozessor
 - 32 (64) Bit bidirektionale Daten
 - 32 und mehr Bit unidirektionale Adressen
- Bustaktung
 - Synchroner Bus: Alle Ereignisse synchron zu einem Takt
 - Asynchroner Bus: Handshake-Betrieb
- Busbreite
 - Serieller Bus: 1 Bit bzw. wenige Bits pro Taktleitung
 - Paralleler Bus: Alle relevanten Datenbits parallel

Arbitrierung

- Mehrere auf Speicher zugreifende Geräte
 - Prozessoren eines Multiprozessors
 - Prozessoren und E/A-Geräte
- Arbitrierung = Auflösen der Zugriffskonkurrenz
- Daisy Chaining



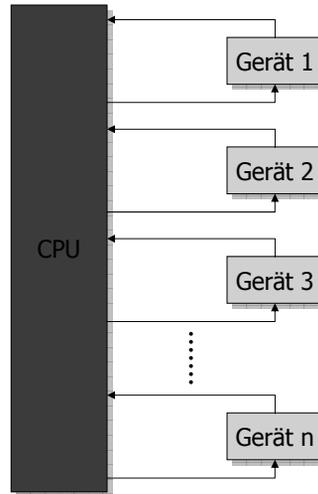
Mehrstufige Arbitrierung



- Prioritäten zwischen den verschiedenen Stufen
- Beispiele
 - Interrupts und Interrupt-Sharing
 - Primary/Secondary-EIDE-Kanal (Master/Slave)

Keine Arbitrierung

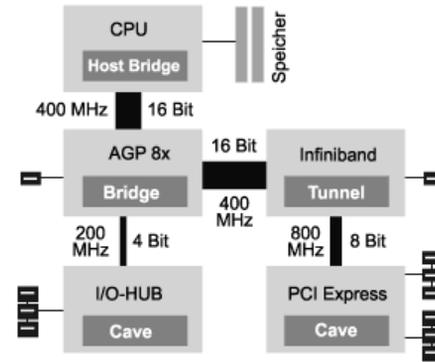
- Gezielte Ansteuerung einzelner Geräte
- Priorisierung (Arbitrierung) durch Software
- Vorteile
 - Schnell
- Nachteile
 - Hohe Leitungsanzahl
 - Begrenzte Geräteanzahl



HyperTransport

HyperTransport

- Schnelles Chip-2-Chip-Protokoll
 - Punkt-zu-Punkt-Verbindung
 - Keine Arbitrierung
- 3 Bausteintypen
 - Cave: 1 Link (am Ende)
 - Tunnel: 2 Links (Eigenes filtern, Rest weitergeben)
 - Bridge: 3 Links
 - Host-Bridge: Ausgangspunkt
- Alles = Fabric



© tecChannel.de

Leitungen

Link-Breite (je Richtung)	2	4	8	16	32
Daten-Pins	8	16	32	64	128
Takt-Pins	4	4	4	8	16
Control-Pins	4	4	4	4	4
Summe High-Speed	16	24	40	76	148
Stromversorgung	2	2	3	6	10
Masse	4	6	10	19	37
PWROK	1	1	1	1	1
RESET#	1	1	1	1	1
Summe total	24	34	55	103	197

Anforderungen

- Kommandos, Daten und Adressen werden über gleiche Leitungen gesendet
- 1 Taktsignal für maximal 8 Datenbits (Gruppe)
- Taktfrequenz 400 MHz bis 1.6 GHz
 - Differentielle Datenübertragung
- Leitungslänge und –verlauf pro Gruppe identisch
 - Erlaubter Unterschied bei 1.6 GHz nur 20 Picosekunden (einige Millimeter Leitungslänge)
 - z.B. 60 cm Länge bei 800 MHz

Transferleistung (Nominal)

	HT 2 x 2 Bit	HT 2 x 8 Bit	HT 2 x 16 Bit	PCI
Pinanzahl	24	55	103	84
Transferrate MByte/s	763	3052	6104	127
Transferrate MByte/s pro Pin	31,8	55,5	59,2	1,5

Kommandostruktur

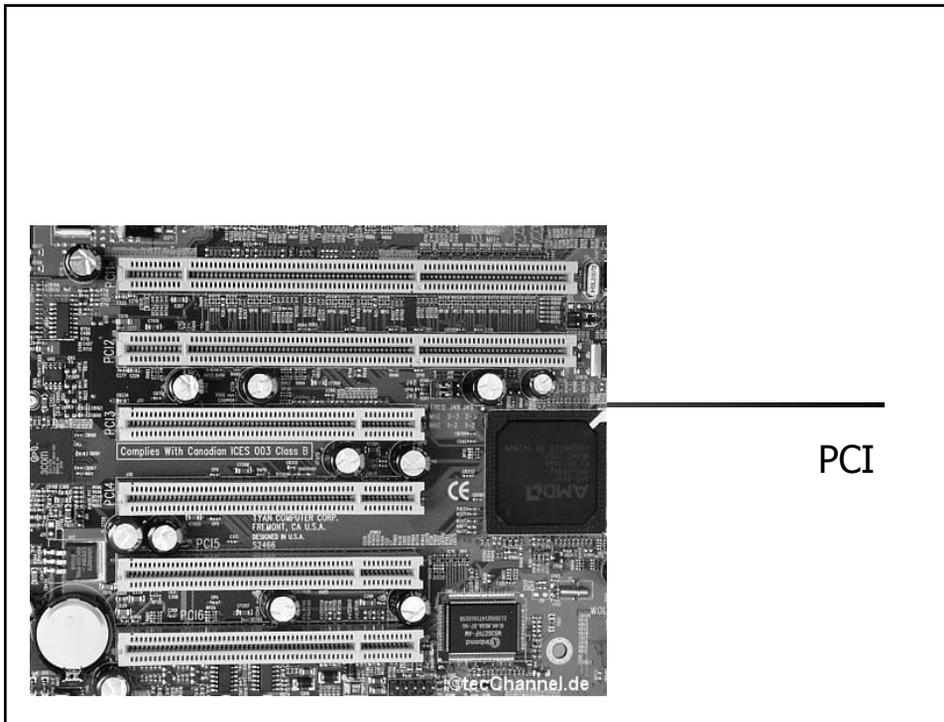
- Kommandos und Daten
Vielfaches von 4 Byte
– Beispiel Read Request
- Max. 32 Geräte in einer HT-Kette
- Max. 32 ausstehende Antworten pro Gerät
– Identifizierung über SrcTag
– Ggf. dürfen sich Antworten überholen (PassPW, SeqID)

Bit-Time	7	6	5	4	3	2	1	0
0	SeqID(3:2)		Kommandotyp					
1	PassPW	SeqID (1:0)		UnitID (4:0)				
2	Größe (1:0)		COM	SrcTag (4:0)/Rsv				
3	Adresse (7:2)					Größe (3:2)		
4	Adresse (15:8)							
5	Adresse (23:16)							
6	Adresse (31:24)							
7	Adresse (39:32)							

© tecChannel.de

Geplante Erweiterungen

- Message Passing Protokoll
– Einrichten virtueller Kanäle
- Fehlerprotokoll auf HW-Ebene
- Peer-to-Peer-Verkehr
– Aktuell muß alles über Host-Bridge gehen
- 64 Bit-Erweiterung des 40 Bit Adreßraum
- Maximal 1024 statt 32 ausstehende Antworten pro Gerät

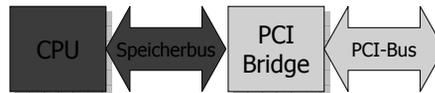


PCI

- PCI = Peripheral Component Interconnect
- Seit 1990 von Intel definiert
- Jetzt PCI-SIG mit über 900 Mitgliedern
- Verschiedene Standards:

PCI-Version	PCI 2.0	PCI 2.1	PCI 2.2	PCI 2.3	PCI-X-1.0	PCI-X-2.0
Max. Busbreite (Bit)	32	64	64	64	64	64
Max. Taktrate (MHz)	33	66	66	66	133	4x133
Max. Bandbreite (GByte/s)	0,12	0,5	0,5	0,5	0,99	3,97
Slots pro Bridge	4	2	2	2	1	1
Spannung (Volt)	5	5/3,3	5/3,3	3,3	3,3	3,3/1,5
Einführung (Jahr)	1993	1994	1999	2002	1999	2002

PCI 2.2



- PCI-Bridge
- 32 Bit gemultiplexer Adreß- und Datenbus
- Zugriff
 - Schreiben: Adresse, Daten ⇒ 66 MByte/s bei 33 MHz/32 Bit
 - Lesen: Adresse, Umschalten, Daten ⇒ 44 MByte/s
 - Burstmodus: Adresse, Daten, ..., Daten ⇒ 133 MByte/s

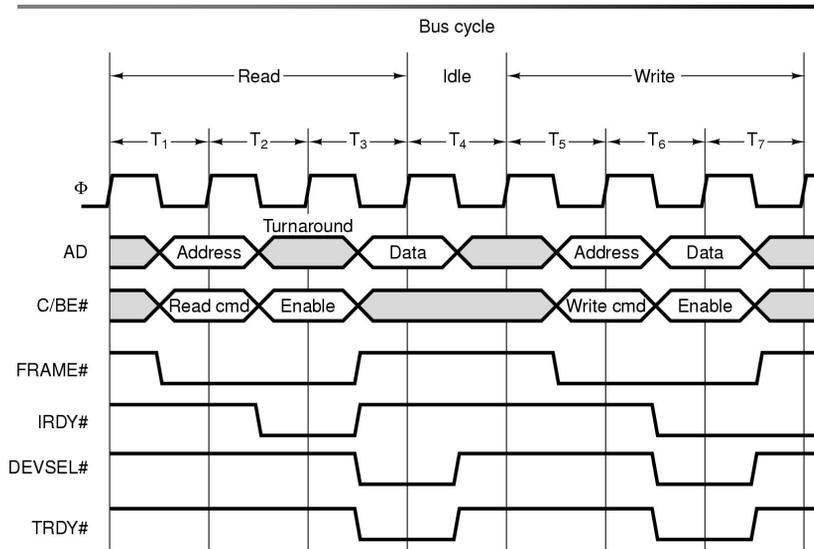
PCI: Leitungen

Signal	Leitungen	Master	Slave	Erläuterung
CLK	1			Takt (33 oder 66 MHz)
AD	32	×	×	Gemultiplexte Adreß- und Datenleitungen
PAR	1	×		Adreß- oder Datenparitätsbit
C/BE	4	×		Busbefehl/Bitmap für eingeschaltete Bytes
FRAME#	1	×		Kenzeichnet, daß AD und C/BE asseriert sind
IRDY#	1	×		Lesen: Master wird akzeptieren; Schreiben: Daten liegen an
IDSEL	1	×		Wählt Konfigurationsraum statt Speicher
DEVSEL#	1		×	Slave hat seine Adresse dekodiert und ist in Bereitschaft
TRDY#	1		×	Lesen: Daten liegen an; Schreiben: Slave wird akzeptieren
STOP#	1		×	Slave möchte Transaktion sofort abbrechen
PERR#	1			Empfänger hat Datenparitätsfehler erkannt
SERR#	1			Adreßparitätsfehler oder Systemfehler erkannt
REQ#	1			Bus-Arbitration: Anforderung des Bus
GNT#	1			Bus-Arbitration: Gewährung des Bus
RST#	1			Setzt das System und alle Geräte zurück

PCI64: Zusatzleitungen

Zeichen	Leitungen	Master	Slave	Erläuterung
REQ64#	1	×		Anfrage zur Ausführung einer 64-Bit-Transaktion
ACK64#	1		×	Gewährung für eine 64-Bit-Transaktion
AD	32	×		Weitere 32 Bit für Adresse oder Daten
PAR64	1	×		Parität für die 32 zusätzlichen Adreß-/Datenbits
C/BE#	4	×		Weitere 4 Bit für Byteeinschaltungen
LOCK	1	×		Sperrern des Bus, um mehrere Transaktionen zu gewähren
SBO#	1			Treffer auf einem entfernten Cache (bei einem Mehrprozessorsystem)
SDONE	1			Snooping ausgeführt (bei einem Mehrprozessorsystem)
INTx	4			Anforderung eines Interrupts
JTAG	5			JTAG-Testsignale nach IEEE 1149.1
M66EN	1			Verdrahtung mit Strom oder Masse (66 oder 33 MHz)

Bustransaktion

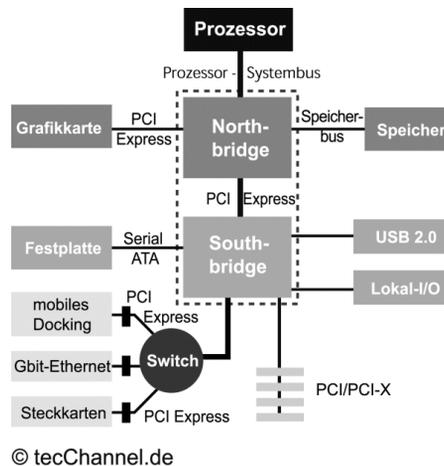


PCI-X 1 und PCI-X 2

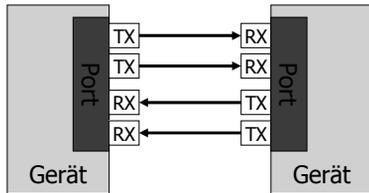
- Slotabhängige Leistung PCI-X-1.0
 - 1 Slot: 133 MHz (0.99 GByte/s)
 - 2 Slot: 100 MHz (0.78 GByte/s)
 - 3 Slot: 66 MHz (0.5 GByte/s)
- PCI-X-2.0
 - Verdopplung und Vervierfachung der Datenrate bei gleich bleibender Taktfrequenz

PCI-Express

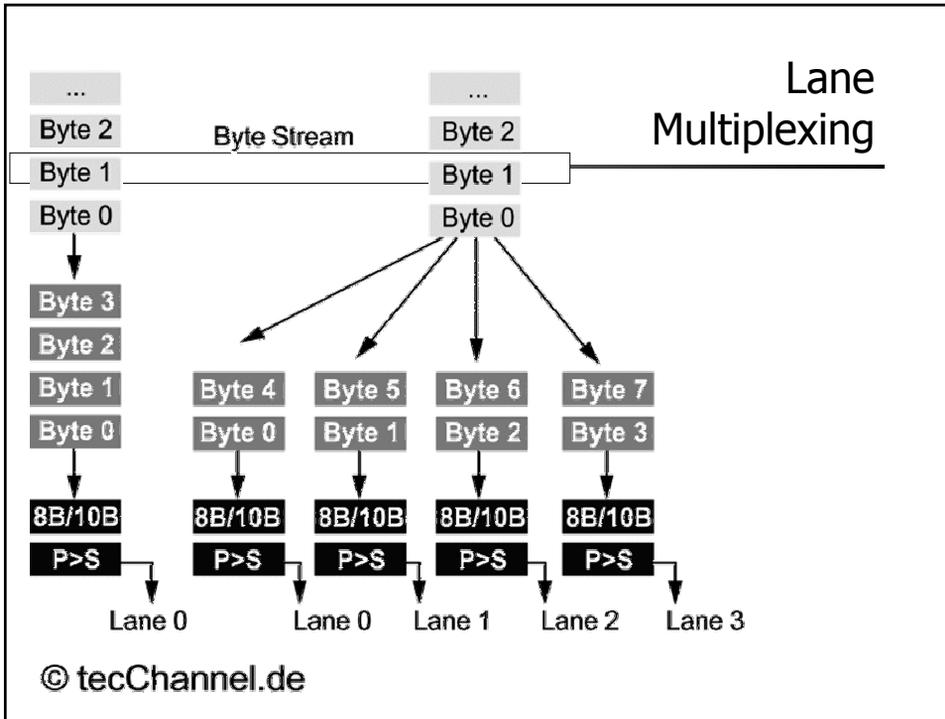
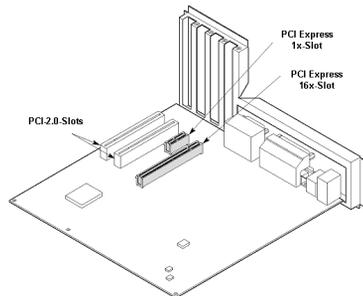
- Flexible PCI-Architektur (3GIO, Arapahoe)
- Neuer Baustein: Switch
 - Flußkontrolle
 - Isochrone Datenübertragung
- Ungeeignet als Chip-2-Chip-Bus
 - Datenkodierung
 - Komplexe Protokollebenen



Lanes



- 2 differenzielle Leitungspaare (1x)
- Verschiedene Multiplikatoren
 - 2x, 4x, 8x, 16x
- Maximale Leitungslänge
 - 50 cm bei 16 Lanes
 - 2 GBit/s Nutzdaten pro Lane (2.5 GHz Takt)
 - 9.31 GByte/s je Richtung bei 32 Lanes



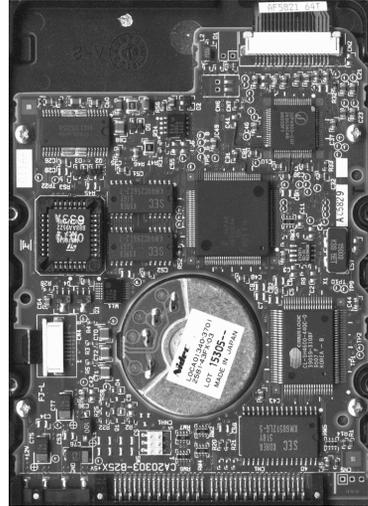
Kodierung 8B/10B

- 8 Bit Daten werden umgewandelt in 10 Bit
- Ziele
 - Implizite Taktung (Erkennen der Datengrenzen)
 - Möglichst Gleichspannungsfrei
 - Mindestens 4 Pegelwechsel pro Codegruppe
- Neben den 256 Datenkodierungen 786 mögliche Steuerzeichen möglich
- Nachteil: 20% Bandbreitenverlust

EIDE

EIDE

- IDE = Integrated Disc Electronic
 - Standard zum Anschluß von Festplatten
 - Controller auf der Festplatte nötig
 - Konkurrent SCSI aus dem Serverbereich zu teuer
 - 1984 von Compaq initiiert



› **AT - Advanced Technology.** PCs mit der Bezeichnung PC/AT besitzen ein 80286 Prozessor und sind die Nachfolger der XT-Rechner. Die PC/ATs verfügen über eine 16-Bit-Architektur und einen ebenfalls 16-Bit-breiten ISA-Bus. Ihn bezeichnet man auch als AT-Bus.

› **ATA - Advanced Technology Attachment.** Spezifikation zum Anschluss von Festplatten an den AT-Bus. Der Standard wurde von der ANSI in Zusammenarbeit mit der Industrie im März 1989 veröffentlicht. Er spezifiziert neben den physikalischen und elektrischen Vorgaben der Schnittstelle auch die Protokolle für die Kommunikation zwischen Host und Laufwerk.

› **ATAPI - ATA Packet Interface.** Erweiterung der ATA-Spezifikation für den Betrieb von CD-ROM-Laufwerken, Streamern und anderen Speichermedien an der IDE-Schnittstelle. Die Ansteuerung der ATAPI-Laufwerke basiert auf SCSI-Kommandos. Diese werden in ATA-Kommandos eingepackt, daher der Name Packet Interface. Das erforderliche ATAPI-Protokoll wird in der ATA-Spezifikation als Packet Feature Set bezeichnet.

› **Fast-ATA.** Der original ATA-Standard besitzt eine spezifizierte Datentransferrate von maximal 4,2 MByte/s. Festplatten überschritten diese Grenze schon bald nach der Veröffentlichung der ATA-Spezifikation. Seagate entwickelte daraufhin seine eigenen Erweiterungen, basierend auf ATA. Sie ermöglichten eine maximale Transferrate von 8,3 MByte/s. Die Features von Fast-ATA wurden in den 1996 veröffentlichten ATA-2 Standard übernommen.

› **IDE - Integrated Disc Electronic.** Standard für die Anbindung von Laufwerken mit integrierter Controllerelektronik an den ISA-Bus. Die IDE-Schnittstelle wird oft gleichgesetzt mit der Bezeichnung AT- oder ATA-Schnittstelle.

› **EIDE - Enhanced Integrated Disc Electronic:** Obwohl der Begriff EIDE in den ATA-Spezifikationen nicht explizit auftaucht, hat er sich im Sprachgebrauch eingebürgert. EIDE ist somit auch kein Standard, sondern vielmehr ein Oberbegriff für eine Vielzahl neuer Features, die in den einzelnen ATA-Spezifikationen verabschiedet wurden. Ursprünglich nannte der Festplattenhersteller Western Digital seine Vision einer schnelleren IDE-Schnittstelle Enhanced IDE und behielt ihn als Marketingnamen bei. Der Abschnitt Übergang von IDE nach EIDE erläutert den Quasi-Standard.

› **UltraATA.** Schnelle Übertragungsmodi der IDE-Schnittstelle. UltraATA/33 oder UltraDMA/33 (korrekte Bezeichnung) ermöglichen eine maximale Transferrate von 33 MByte/s über die Schnittstelle. UltraATA/66 und UltraDMA/66 erhöhen den Datentransfer auf maximal 66 MByte/s. UltraDMA/100 liegt bei 100 MByte/s.

© TecChannel

ATA,
ATAPI,
IDE,
EIDE,

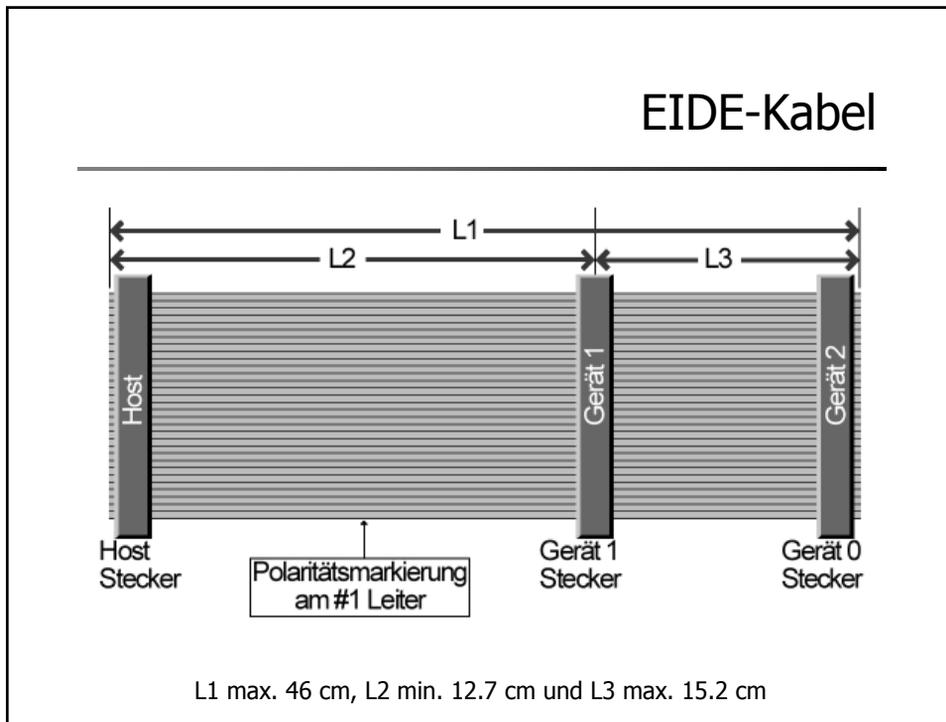
...

IDE Register

Register	Breite [Bit]	Bedeutung
Alternativstatus	8	Entspricht Statusregister, unabhängig von Interrupt Requests
Daten	16	Zum Transfer der Daten zwischen Host und Laufwerkspuffer
Feature	8	Für Zusatzfunktion der Schnittstelle, nutzen nicht alle Laufwerke
Fehler	8	Enthält eventuellen Fehlercode des letzten Zugriffs
Kommando	8	Zur Übermittlung von über 50 verschiedenen Befehlen
Laufwerk	8	Enthält Laufwerksnummer (Master/Slave) und Kopfnummer
Sektornummer	8	Nummer des ersten zu lesenden oder schreibenden Sektors
Sektorzahl	8	Anzahl der zu lesenden oder schreibenden Sektoren bei einem Zugriff
Status	8	Enthält Laufwerksstatus nach dem letzten Befehl
Steuer	8	Zum Reset des Laufwerks und dem Zulassen von Interrupts
Zylindernummer	8 / 8	Adressierung des Zylinders. Aufgeteilt in zwei 8-Bit-Blöcke

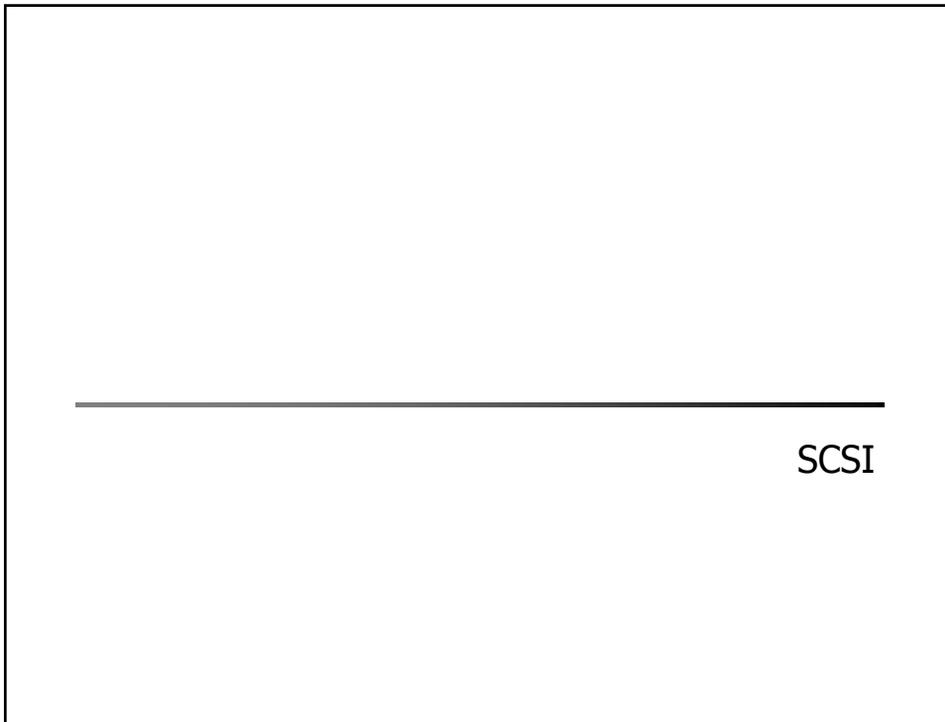
EIDE

- Extented IDE
- Neuerungen
 - Höhere Transferraten (16.6 MByte/s im PIO-Mode 4)
 - Höhere Kapazitäten (528 MByte und immer mehr)
 - Zwei Kanäle mit jeweils 2 Geräten
 - Master / Slave (protokollseitig keine Bevorzugung)
 - Unterstützung anderer Laufwerke (CD-ROM etc.)
- Blockadressierung
 - CHS = Cylinder, Head, Sector
 - LBA = Logical Block Address
 - Jeweils 28 Bit \Rightarrow maximal ca. 128 GByte pro Gerät



Serial ATA

- Weitere Erhöhung der Taktfrequenz bei "normalem" (parallelem) EIDE technisch nicht möglich
 - Toleranzen bzgl. Leitungslängen werden kleiner
 - Zwang zur Reduzierung der Ströme
- Serialisierung bei identischer logischer Schnittstelle
- Serial ATA
 - Maximal 4 Punkt-zu-Punkt-Verbindungen
 - 150 Mbyte/s
 - 600 Mbyte/s (in ca. 10 Jahren)
 - Wieder 8B/10B-Kodierung



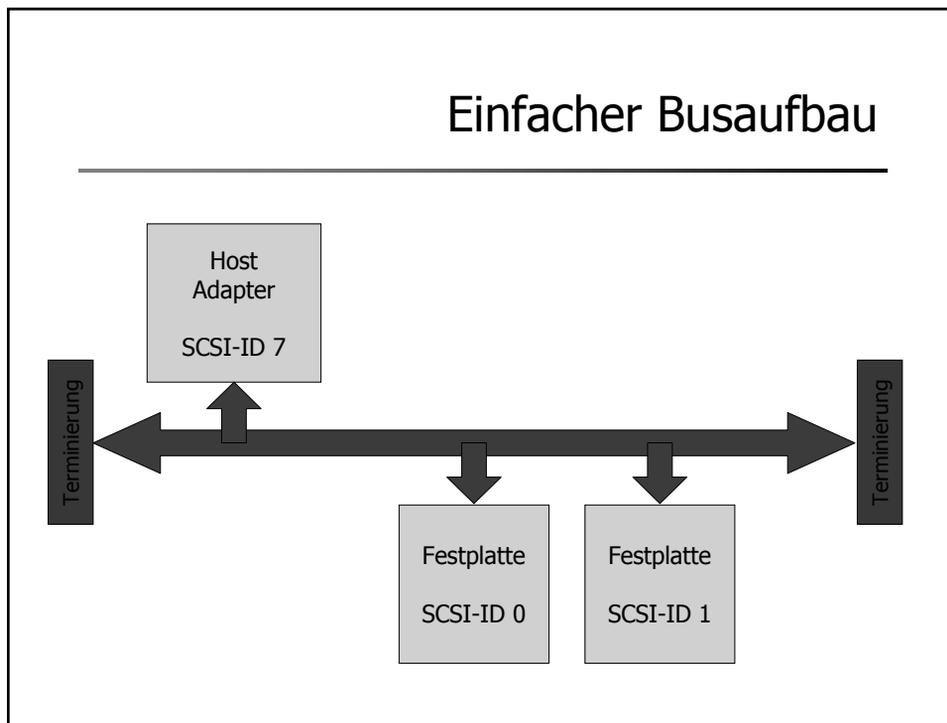
SCSI

- seit 1981
- Aktuelle Leistungsgrößen
 - 320 MByte/s max. Datenrate (Differentiell)
 - max. 15 Geräte
 - max. Leitungslänge 12 Meter
- Glasfaser-Variante (Fiber Channel)
 - max. 400 MByte/s
 - max. 10 bzw. 126 Kilometer Leitungslänge
- Auch Rechnerkopplung möglich

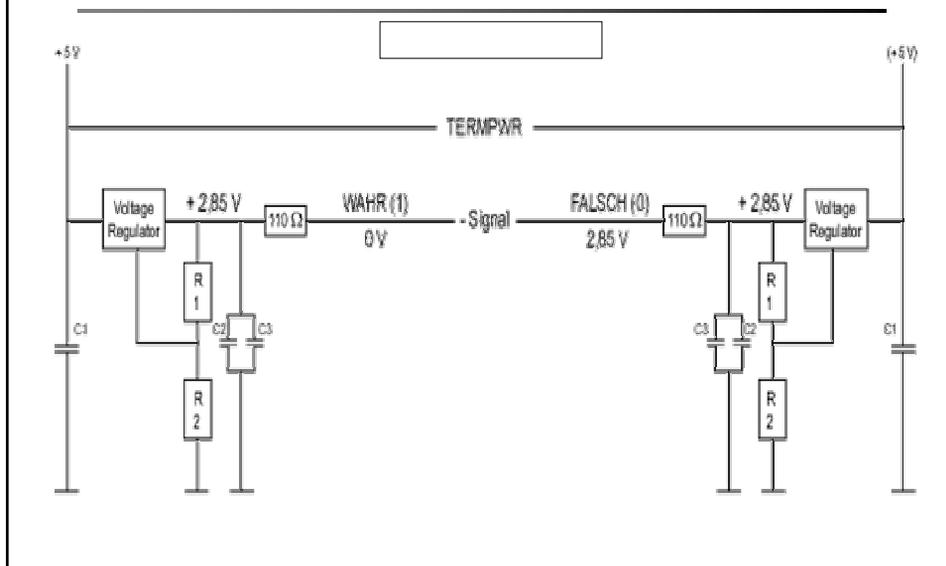
SCSI ist nicht gleich SCSI

Name/Definition	Buslänge unsym.	Buslänge sym.	Buslänge LVD	Geräte
SCSI, SCSI-1/2/3	6 m	25 m	12 m	8
Fast SCSI, Fast-10	3 m	25 m	12 m	8
Fast Wide SCSI, Fast-10 Wide	3 m	25 m	12 m	16
Ultra SCSI, Fast-20	1,5 m	25 m	12 m	8
Ultra SCSI, Fast-20	3 m	25 m	12 m	4
Wide Ultra SCSI, Fast-20 Wide	--	25 m	12 m	16
Wide Ultra SCSI, Fast-20 Wide	1,5 m	--	--	8
Wide Ultra SCSI, Fast-20 Wide	3 m	--	--	4
Ultra2 SCSI, Fast 40	n	n	12 m	8
Wide Ultra2 SCSI, Fast-40 Wide	n	n	12 m	16
Ultra3 SCSI, Fast 80	n	n	12 m	8
Wide Ultra3 SCSI, Fast-80 Wide	n	n	12 m	16

Einfacher Busaufbau



Aktive Terminierung



SCSI-1 und SCSI-2

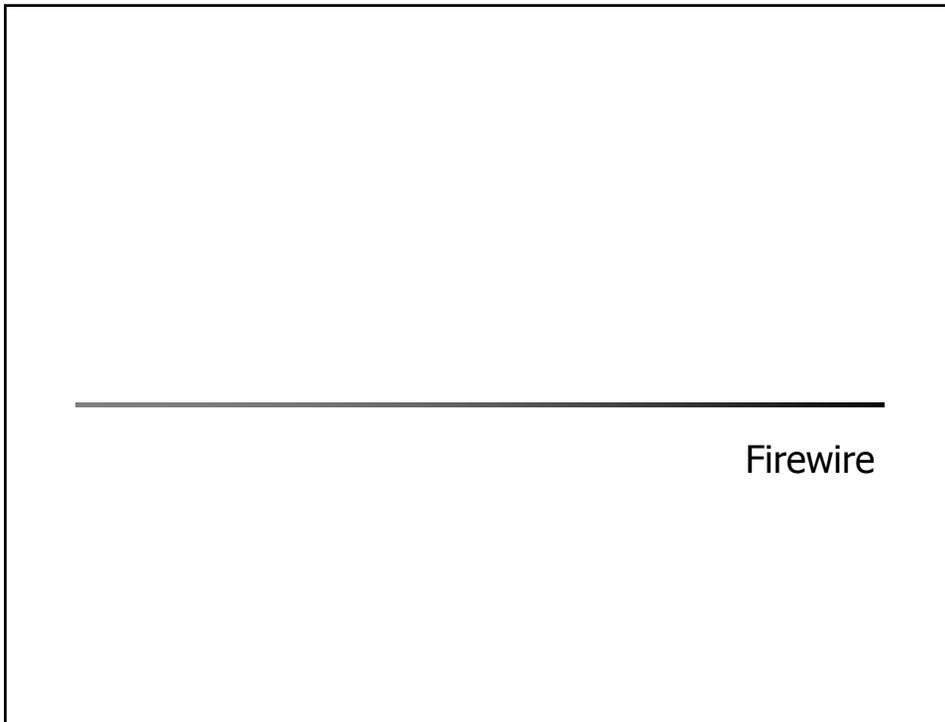
Funktion/Parameter	SCSI-1	SCSI-2
Geräteanzahl	8	8
max. Datenrate	4 bis 5 MByte/s	20 MByte/s (16 Bit)
Buszuteilung (Arbitration)	wahlweise	zwingend vorgeschrieben
Arbitration delay	2,2 μ s	2,4 μ s
Leitungsabschluss	passiv	aktiv (empfohlen), passiv
Geräteklassen	7	11
LUN-Adresse	über Befehl	nur über Identify-Meldung
Befehlsverkettung	nein	Ja
Extended sense Data	nein	Ja
Parität (ungerade)	wahlweise	zwingend vorgeschrieben
Wide SCSI (16 oder 32 Bit)	nein	wahlweise
Fast SCSI (synchron)	nein	wahlweise
Steckverbinder, hohe Dichte	nein	wahlweise
CD-ROM, Optical Memory	nein	ja
Scanner, Medium Changer	nein	ja
Communications	nein	ja

SCSI-2 und SCSI-3

Funktion/Parameter	SCSI-2	SCSI-3
Geräteanzahl	8	32
LUNs je Target	8	32
max. Datenrate (16 Bit parallel)	20 MByte/s	40 MByte/s
max. Datenrate seriell	nicht möglich	200 MByte/s
elektrische Parameter	ungenau definiert	genauere Spezifikation
Kabel für 16 Bit	Kabel A und B	Kabel P
Stromvers. für Leitungsabschl.	ungenau definiert	genauere Spezifikation
Geräteklassen/-gruppen	11	4
Serielle Übertragung	nein	FC, IEEE1394
Wide SCSI (16 oder 32 Bit)	wahlweise, Wide16	wahlweise, Wide16 bevorzugt
Fast SCSI (synchron)	wahlweise, 10 MHz	wahlweise, max. 80 MHz (160 MHz geplant)
Gerätewechsel im Betrieb	nein	ja
Befehlsverkettung	ja	mit erweiterten Funktionen

SCSI-Protokoll

- Initiatoren (Master) und Targets (Slave)
 - Meistens Peer-to-Peer
- Targets können aus mehreren logischen Einheiten bestehen
 - LUN (Logical Unit Number)
 - Vergleichbar mit Partition (logisches Laufwerk)

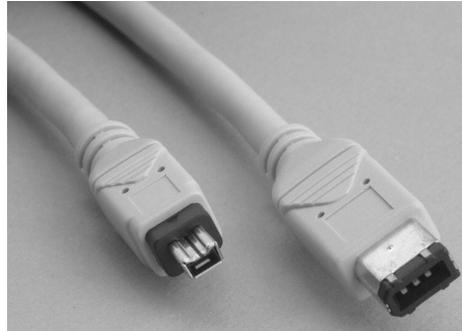


Firewire

- Seit 1986 von Apple weiterentwickelter serieller Diagnosebus
- Größere Verbreitung über digitalen Videobereich
- Die Standards
 - › IEEE 1394-1995: Definiert die grundlegende Architektur für Hard- und Software.
 - › IEEE P1394a: Beschreibt Erweiterungen und Verbesserungen zur IEEE 1394-1995. Das betrifft vor allem den Physical Layer, Power Management und Software-Details.
 - › IEEE P1394.1: Erweitert 1394 für Netzwerkbetrieb (Bridging).
 - › IEEE P1394b: Definition für höhere Transferraten (800, 1600, 3200 MBit/s) und längere Kabel. Geräte nach IEEE P1394b sollen abwärtskompatibel zu IEEE P1394a sein.
 - › IEEE 1212 oder IEC 13213: Legt den Standard für die von 1394 genutzten Status- und Control-Register fest.
 - › IEC 61883: Enthält Spezifikationen für den zeitkritischen Multimedia-Bereich.
 - › 1394 TA Power Specs: Dieses Spezifikationen beantworten Fragen zu Spannungsversorgung und Power Management.

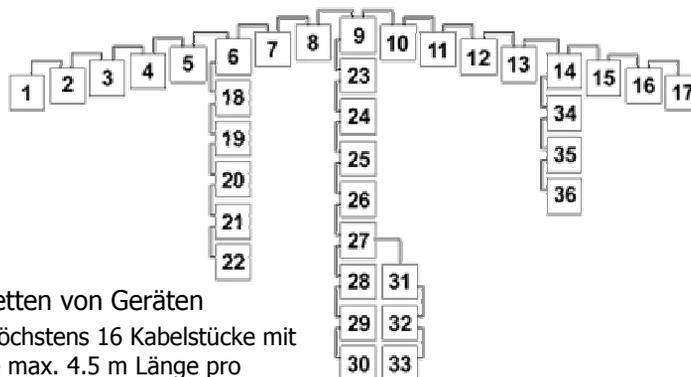
Eigenschaften

- Transferraten 100, 200 und 400 Mbit/s (1394a)
- Gemischter Betrieb möglich
- Dünne und preiswerte serielle Kabel
- Hot Plugable
- Spannungsversorgung über Kabel möglich
- Peer-to-Peer-Netzwerk



Aufbau

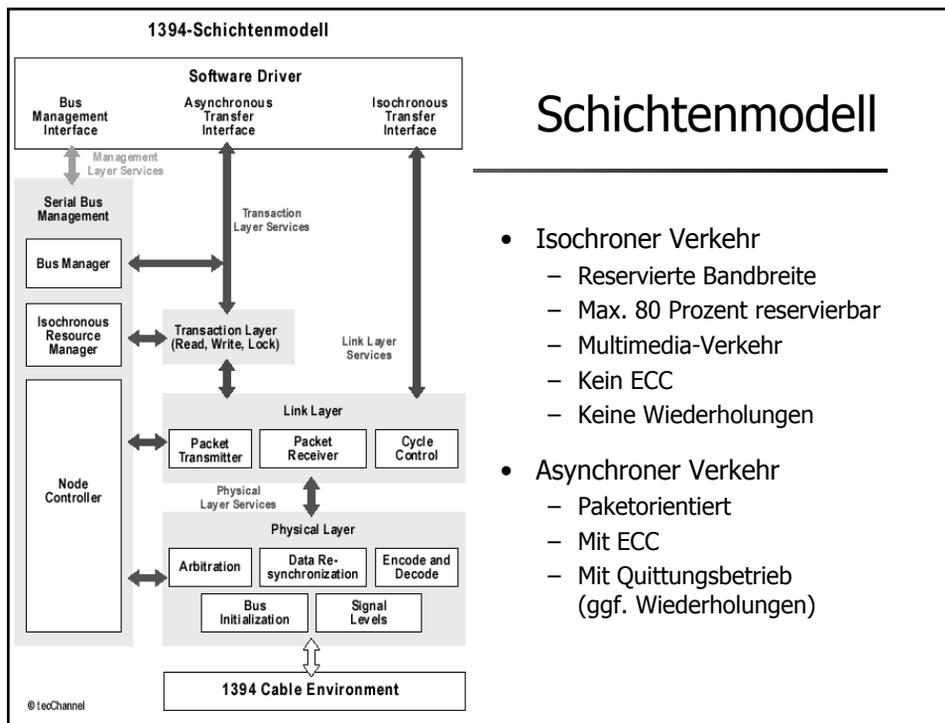
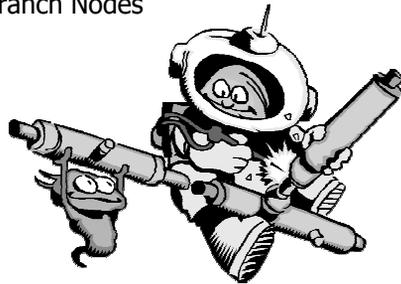
1394-Baumstruktur

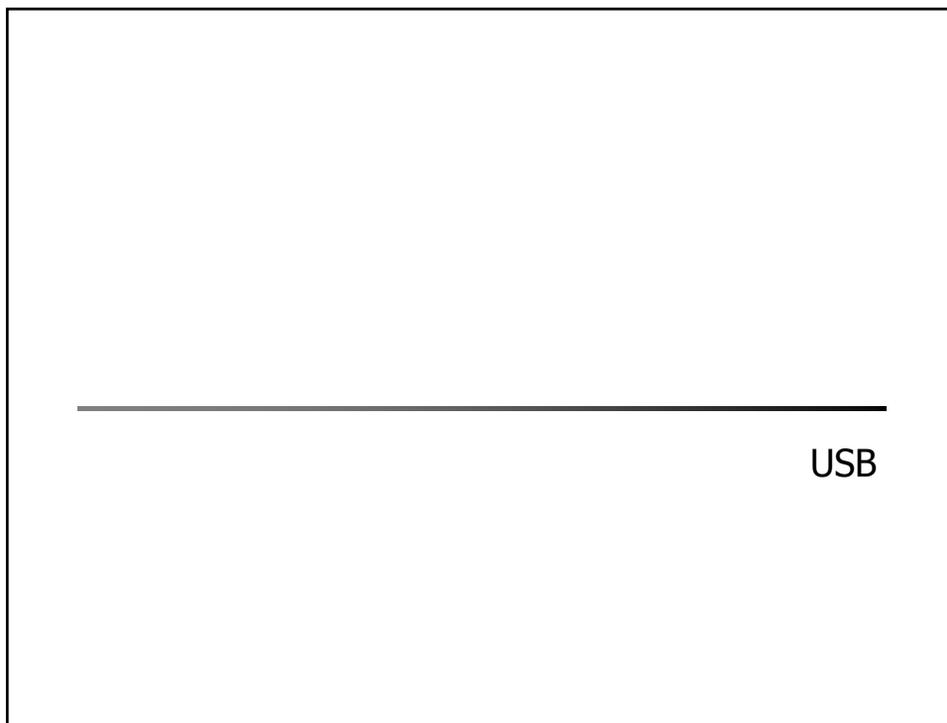
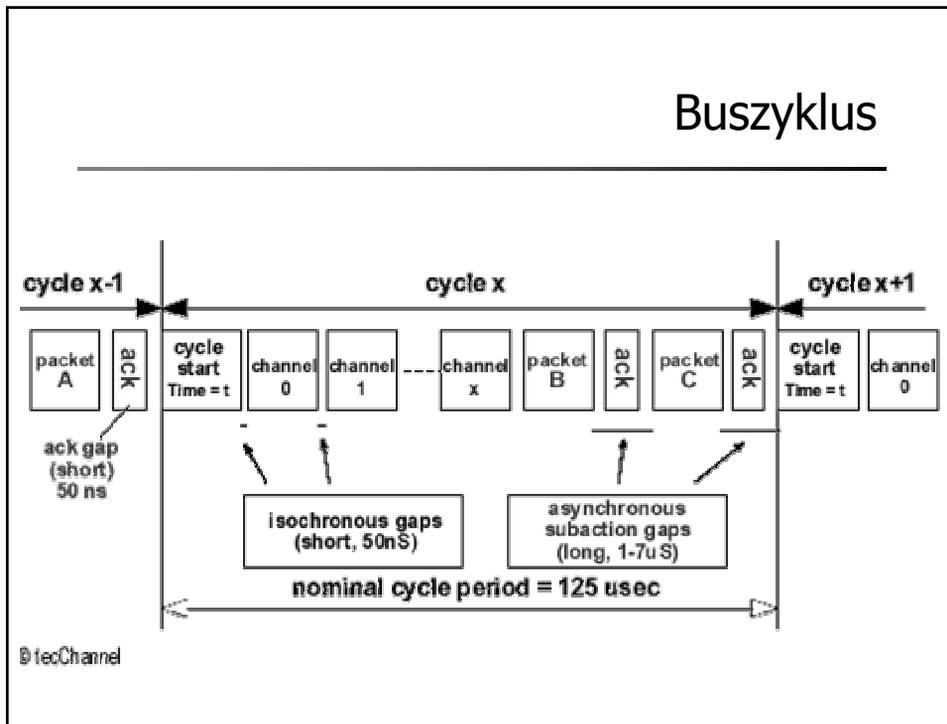


- Verketteten von Geräten
 - Höchstens 16 Kabelstücke mit je max. 4.5 m Länge pro Strang
- Verzweigungen bei Geräten mit mehreren Anschlüssen möglich

Autokonfigurierung

- "Einfach zusammenstecken"
- Firewire-Netze konfigurieren sich selbst
 - Initialisierung
 - Baumidentifizierung
 - Root Node, Leaf Nodes, Branch Nodes
 - Selbstidentifizierung
 - Durchnummerierung beginnt bei Root Node





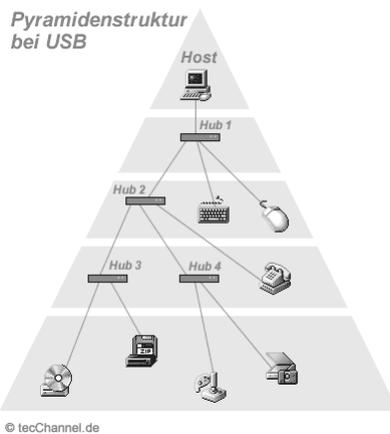
USB

- Universal Serial Bus
 - Preiswerte serielle Schnittstelle (1993-)
 - Integration des Telefons (isochroner Verkehr)
- Varianten
 - USB 1.1
 - Low Speed
 - Full Speed
 - USB 2.0
- Zwei Adreßteile
 - 7 Bit Geräteadresse (max. 127 Geräte in einem "Bus")
 - 4 Bit Endpoint-Bits (max. 15 logische Geräte, vgl. LUN)

Datenraten und Paketgrößen

	USB 1.1 Low Speed	USB 1.1 Full Speed	USB 2.0
Übertragungs- rate	1.5 Mbit/s	12 Mbit/s	480 Mbit/s
Maximale Endpunkte	2	31	31
Max. Paketgröße (Asynchron)	8 Byte	64 Byte	512 Byte
Max. Datenrate (Asynchron)	16 Kbyte/s	1.1 Mbyte/s	56 Mbyte/s
Max. Paketgröße (Isochron)	-	1023 Byte	1024 Byte
Max. Datenrate (Isochron)	-	1 Mbyte/s	24 Mbyte/s

Aufbau



- Baumstruktur über Hubs
 - Höchstens 7 Kabelstrecken mit je max. 5 m Länge
- Hubs
 - Zwischenverteiler
 - Keine logische Funktion
- Root Hub im PC
 - Im Gegensatz zu Firewire also kein Peer-to-Peer
- Stromversorgung über Bus möglich
 - Low Power (max. 100 mA)
 - High Power (max. 500 mA)
- Komplexes Power Management

Eigenschaften

- Differentielle Datenübertragung
- Zwei Verkehrsarten
 - Isochroner Verkehr
 - Asynchroner Verkehr
- Verbindungsaufbau wird vom Host initiiert
- Polling zwischen CPU und Gerät beim Transfer
 - Hohe CPU-Belastung

