

# Rechnerstrukturen

Wintersemester 2002/2003

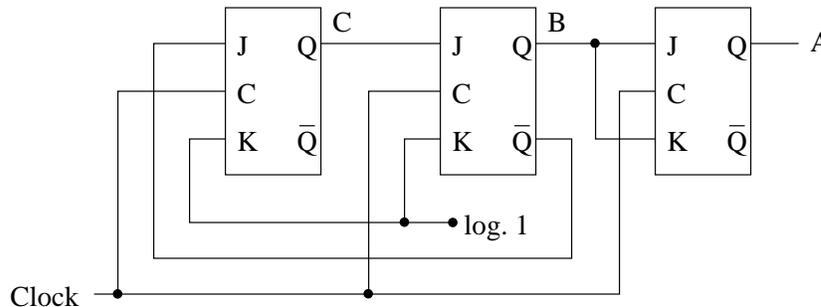
## 4. 3bungsblatt

Abgabetermin: 03.12.02 in der 3bung

### Aufgabe 1:

5 Punkte

Gegeben sei folgende Schaltung aus JK-Master/Slave-Flip-Flops:

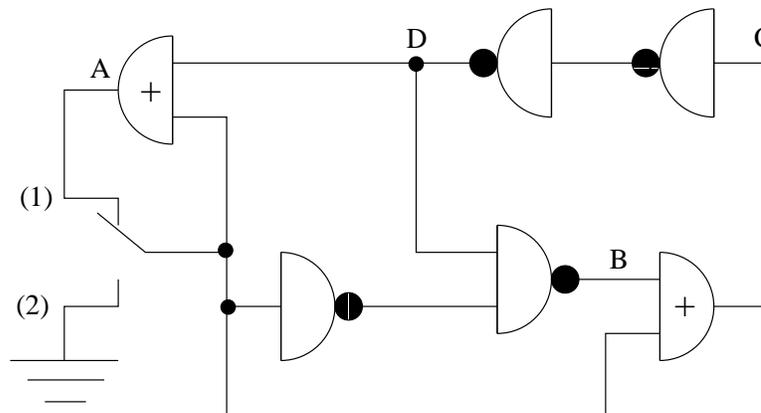


- Welche Zustände (ABC) nehmen die Ausgange der Schaltung innerhalb der nachsten sieben Clock-Impulse an, wenn Sie von einem initialen Zustand 000 ausgehen?
- Geben Sie ein vollstandiges Zustandsdiagramm an, das alle acht m3glichen Zustande umfat.

### Aufgabe 2:

10 Punkte

Zeichnen Sie ein Timingdiagramm f3r die folgende Schaltung:



Finden Sie zunachst einen nicht-oszillierenden Zustand der Schaltung, wobei der Schalter wie gezeigt in Position (1) steht. Beginnen Sie Ihr Timingdiagramm in diesem stabilen Zustand und tragen Sie die Signale an den markierten Anschl3ssen A bis D ein. Zum Zeitpunkt T wird der Schalter in Position (2) gebracht. Vervollstandigen Sie Ihr Timingdiagramm, indem Sie die Signale A bis D in weiteren 15 Rastereinheiten einzeichnen. Gehen Sie dabei von einer konstanten Gatterlaufzeit  $t_g$  aus.

### Aufgabe 3:

17 Punkte

Entwerfen Sie einen 4-Bit Zahler f3r den sogenannten Exze-3-Code. Die Definition dieses Codes entnehmen Sie bitte der Literatur. Der Zahler soll dabei als Ausgabe zyklisch die Exze-3-Darstellung der Dezimalzahlen 0 bis 9 liefern, d.h. nach Erreichen von dezimal 9 erfolgt ein automatischer ‘Reset’ auf dezimal 0.

- a. Geben Sie ein entsprechende Zustandsübergangstabelle an.
- b. Implementieren Sie den Zähler mittels D-Flip-Flops.
- c. Ein Zähler heißt selbststartend, wenn aus jedem beliebigen (initialen) Zustand heraus - auch wenn dieser Zustand außerhalb der gültigen Zählerzustände liegt - eine Folge von Zustandsübergängen existiert, die in einem gültigen Zählerzustand endet. Diskutieren Sie, ob und warum Ihre Implementierung selbststartend ist oder nicht.

Aufgabe 4:

11 Punkte

Gegeben ist die boolesche Funktion  $f(x_3..x_0) = \overline{(x_1 \cdot x_3)} \cdot [(\overline{x_1} \cdot x_2) + (x_1 \cdot x_0)]$ .

- a. Zeichnen Sie ein Schaltnetz für  $f$ . Verwenden Sie hierbei *ausschließlich* UND- sowie ODER-Gatter und Inverter. Beachten Sie die Klammerung.
- b. Zeichnen Sie ein Timingdiagramm, wobei  $x_0$ ,  $x_2$  und  $x_3$  konstant log. 0 sind und  $x_1$  zum Zeitpunkt  $t_0$  von log. 1 auf log. 0 geht (und auf log. 0 bleibt). Zeichnen Sie die Logikpegel *aller* Gatterausgänge der Schaltung.
- c. Schlagen Sie eine Möglichkeit vor, den Hazard zu umgehen.