

Rechnerstrukturen

Wintersemester 2002/2003

5. Übungsblatt

Abgabetermin: 10.12.02 in der Übung

Aufgabe 1:

9 Punkte

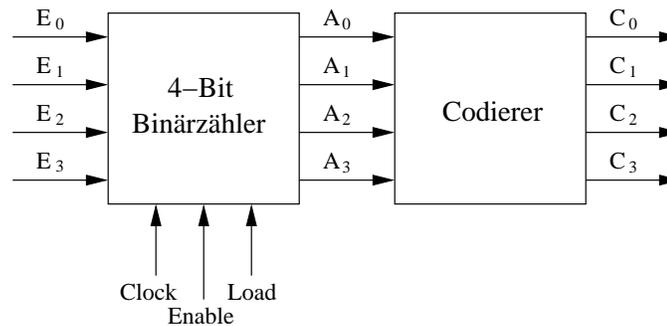
Realisieren Sie die Funktion $A + \bar{C}D + \bar{B}D + B\bar{D} + \bar{B}CE$. Verwenden Sie dabei ausschließlich einen Multiplexer. Als Eingaben stehen Ihnen die Konstanten 0 und 1 sowie die Eingangsvariablen und deren Komplement zur Verfügung.

Aufgabe 2:

12 Punkte

Beim Zählen im Binärcode wird bei einigen Zustandsübergängen der Logikpegel mehrerer Ausgangssignale gleichzeitig geändert. Beispielsweise ändern beim Übergang von 0111 auf 1000 *alle* Ausgänge ihren Pegel. Es erweist sich - beispielsweise zur Vermeidung statischer Hazards - häufig als günstig, wenn sich bei jedem Zustandsübergang *genau ein* Bit der Ausgangssignale ändert.

Entwerfen sie einen Codierer nach unten skizzierten Modell, der an die Ausgänge $A_3..A_0$ eines 4-Bit Binärzählers angeschlossen werden kann. Die codierte Ausgabe $C_3..C_0$ des Schaltnetzes soll - wie oben beschrieben - bei jedem Clock-Impuls am Binärzähler in *genau einem* Bit wechseln.

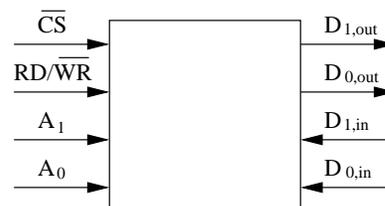


- Schlagen Sie einen geeigneten Code vor, indem Sie eine Wahrheitstabelle angeben, die den aufeinanderfolgenden Zuständen $A_3..A_0$ des Binärzählers jeweils eine codierte Zahl $C_3..C_0$ zuordnet.
- Entwerfen Sie ein Schaltnetz für die von Ihnen vorgeschlagene Codierung.

Aufgabe 3:

17 Punkte

Entwerfen Sie einen Speicherbaustein mit folgendem Anschlußschema:



Die Anschlüsse verhalten sich wie aus der Vorlesung bekannt. Der Einfachheit halber gebe es getrennte, unidirektionale Datenleitungen für Ein- und Ausgabe und nicht wie bei handelsüblichen Bausteinen eine gemeinsame, bidirektionale Datenleitung. Beachten Sie, daß kein explizites Clocksignal bei der Konstruktion des Bausteines verwendet werden soll.

- a. Überlegen Sie zunächst, wie Sie das Clocksignal für die Flip-Flops aus den im Diagramm dargestellten Eingangsleitungen erzeugen können. Welche Taktflanken der Signale sind in Ihrem Design ausschlaggebend, d.h. zu welchen Zeitpunkten werden die Daten von D_{in} zum Speichern in den Baustein übernommen bzw. wann werden die Daten an D_{out} zur Verfügung gestellt? Zeichnen Sie ein Timingdiagramm, in dem Sie einen Lese- und einen Schreibvorgang zeitlich darstellen. Markieren Sie dabei die eben besprochenen Datenübernahmezeitpunkte. Skizzieren Sie ferner in Hinblick auf benötigte Setup- und Hold-Zeiten, wann welche Signale zu einer korrekten Funktion des Bausteines stabil bleiben müssen.
- b. Entwerfen Sie den Speicherbaustein. Verwenden Sie in Ihrer Realisierung JK-Master/ Slave-Flip-Flops.