

# Rechnerstrukturen

Wintersemester 2003/2004

## 10. Übungsblatt

Besprechungstermin: 10.02.04, 8:15 Uhr in HZ 13

### Aufgabe 1:

Gegeben sei ein Hauptspeicher der Größe 1 KB sowie ein Cache mit 8 Zeilen, wobei jede Zeile ein 32-Bit Datenwort aufnehmen kann. Der Cache verwende die LRU-Ersetzungsstrategie.

Die CPU greife auf den Speicher aufgrund des folgenden Referenzstrings zu (Adreßangaben in Hexadezimal):

54, 58, 104, 5C, 108, 60, F0, 64, 54, 58, 10C, 5C, 110, 60, F0, 64

Zu Beginn sei der Cache leer. Skizzieren Sie den Ablauf der Speicherzugriffe, indem Sie jeweils angeben

- ob der Zugriff zu einem hit oder einem miss führt
- inwiefern sich der Inhalt des Caches verändert

Betrachten Sie dabei folgende Cachetypen

- direct mapped, mit Bit 2-4 einer Adresse als Index und Bit 5-9 als Tag
- direct mapped, mit Bit 7-9 als Index und Bit 2-6 als Tag
- 2-way set associative mit Bit 2-3 als Index und Bit 4-9 als Tag
- fully associative

Diskutieren Sie jeweils kurz die Hitraten.

### Aufgabe 2:

Bearbeiten Sie die gleiche Fragestellung wie in Aufgabe 1 für folgenden Referenzstring:

0, 4, 8, 10, 14, 18, 1C, 24, 28, 2C, 30, 34, 38, 3C, 40, 44, 48, 4C, 50, 54, 58, 5C

### Aufgabe 3:

Ein 2-way set associative Cache eines System mit 32-Bit Adressen speichere je ein 4-Byte Wort je Zeile und habe eine Kapazität von 128 K Bytes. Adressiert wird auf Byteebene.

- Wieviele Bits werden für Index und Tag benötigt?
- Welchen Index haben die hexadezimalen Adressen 0284A482, 01148C89, 0038CF00 und 0038CF01?
- Welche der Adressen aus b können parallel im Cache gehalten werden?

### Aufgabe 4:

Ein Cache habe eine Zugriffszeit von 6 ns. Die Zugriffszeit des Hauptspeichers betrage 60 ns. Wie hoch ist die effektive Zugriffszeit bei einer Hitrate von

- 87%
- 90%
- 95%