

## Rechnerstrukturen

Wintersemester 2003/2004

### 3. Übungsblatt

Besprechungstermin: 02.12.03, 8.15 Uhr in HZ 13

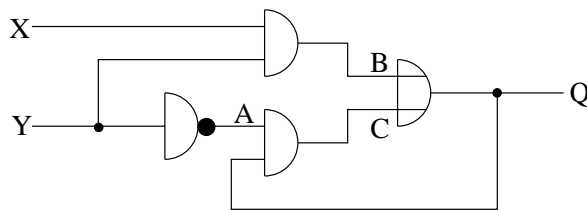
#### Aufgabe 1:

Gegeben sei die boolesche Funktion  $f(x_3 \dots x_0) = \overline{x_1 \cdot x_3} \cdot [(\overline{x_1} \cdot x_2) + (x_1 \cdot x_0)]$ .

- Zeichnen Sie ein Schaltnetz für  $f$ . Verwenden Sie hierfür *ausschließlich* UND- sowie ODER-Gatter und Inverter. Beachten Sie die Klammerung.
- Zeichnen Sie ein Timingdiagramm, wobei  $x_0$ ,  $x_2$  und  $x_3$  konstant logisch 0 sind und  $x_1$  zum Zeitpunkt  $t_0$  von logisch 1 auf logisch 0 wechselt (und auf logisch 0 bleibt). Zeichnen Sie die Logikpegel *aller* Gatterausgänge der Schaltung.
- Schlagen Sie eine Möglichkeit vor, wie man den auftretenden Hazard umgehen kann.

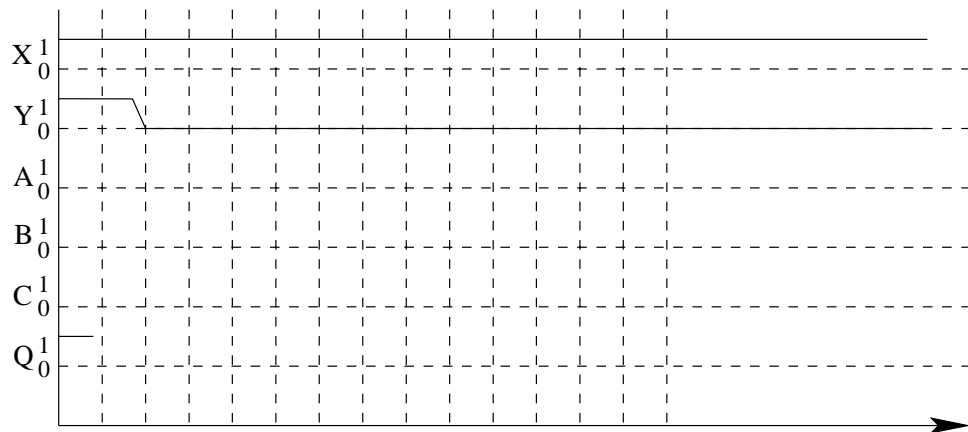
#### Aufgabe 2:

Gegeben sei folgende Schaltung:



- Erstellen Sie eine Wahrheitstabelle mit  $X$ ,  $Y$  und  $Q(t)$  als Eingangsvariablen sowie  $Q(t + \Delta)$  als Ausgangsvariable. Vernachlässigen Sie hierbei jegliche Gatterlaufzeiten.
- Geben Sie die charakteristische Gleichung der Schaltung an.
- Vervollständigen Sie nachfolgendes Zeitdiagramm. Gehen Sie hierbei von einer konstanten Gatterlaufzeit  $t_g$  entsprechend dem Raster aus.
- Ändern Sie den Schaltungsentwurf gegebenenfalls so, daß eine einwandfreie Funktion gemäß der charakteristischen Gleichung garantiert ist.

(Bitte wenden)



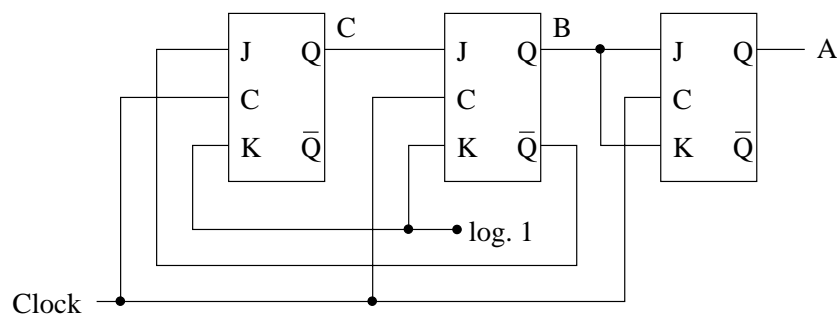
### Aufgabe 3:

Mittels RS-Latches kann festgestellt werden, welches von zwei Ereignissen zuerst eingetreten ist.

- Entwerfen Sie eine Schaltung mit drei Eingängen und drei Ausgängen, die feststellt, welches der drei Eingangssignale zuerst eingetreten ist. Dabei soll der Ausgang des zuerst selektierten Einganges logisch 1 werden und die anderen beiden Ausgänge sollen logisch 0 liefern.
- Diskutieren Sie, wie Sie die Schaltung erweitern würden, um eine höhere Anzahl von Ein- und Ausgängen realisieren zu können.

### Aufgabe 4:

Gegeben sei folgende Schaltung aus JK-Master/Slave-Flip-Flops:



- Welche Zustände (ABC) nehmen die Ausgänge der Schaltung innerhalb der nächsten sieben Clock-Impulse an, wenn Sie von einem initialen Zustand 000 ausgehen?
- Geben Sie ein vollständiges Zustandsdiagramm an, das alle acht möglichen Zustände umfaßt.

### Aufgabe 5:

Erweitern Sie das JK-Master/Slave-Flip-Flop aus der Vorlesung um einen asynchronen Reset-Eingang. Der Ausgang Q des Flip-Flops soll durch Anlegen einer log. 1 am Reset- Eingang unmittelbar auf log. 0 gehen.