Systemsoftware und Verteilte Systeme *H. Frey, D. Görgen, P. Sturm*

Rechnerstrukturen

Wintersemester 2003/2004

5. Übungsblatt *Besprechungstermin: 16.12.03, 8.15 Uhr in HZ 13*

Aufgabe 1:

Realisieren Sie die Funktion $A + \overline{C}D + \overline{B}D + B\overline{D} + \overline{B}CE$. Verwenden Sie dabei ausschließlich einen Multiplexer. Als Eingaben stehen Ihnen die Konstanten 0 und 1 sowie die Eingangsvariablen und deren Komplement zur Verfügung.

Aufgabe 2:

Entwerfen Sie einen 2-Bit Vorwärts-/Rückwärtszähler mittels Flip-Flops. Die Schaltung habe zwei Eingänge: `UP` und `Clock`. `UP` definiert die Zählrichtung (1 bedeutet vorwärts zählen, 0 bedeutet rückwärts zählen). Bei jedem `Clock`-Impuls wird der Zähler um 1 inkrementiert bzw. dekrementiert. Wenn der Zählerstand 11 erreicht ist, ergibt sich als Folgezustand 00 und umgekehrt.

a. Verwenden Sie in Ihrer Realisierung ausschließlich JK-Master/Slave-Flip-Flops.

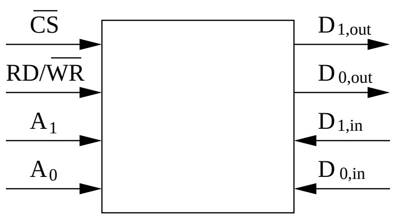
b. Verwenden Sie ausschließlich D-Flip-Flops.

Aufgabe 3:

Realisieren Sie einen 8-Bit Addierer mit seriellen Eingängen und parallelem Ausgang. Verwenden Sie dabei einen Volladdierer sowie weitere aus der Vorlesung bekannten Bausteinen Ihrer Wahl. An den (seriellen) Eingängen A und B wird mit jedem Clock-Impuls ein Bit der Summanden bereitgestellt. Die Ausgabesignale $S_0 \ldots S_7$ sowie $Carry_{Out}$ werden erst nach acht Taktimpulsen, d.h. nach Verarbeitung aller acht Summandenbits als gültig betrachtet.

Aufgabe 4:

Entwerfen Sie mittels JK-Master/Slave-Flip-Flops, Multiplexern und Demultiplexern einen Speicherbaustein mit folgendem Anschlußschema:



Die Anschlüsse verhalten sich wie aus der Vorlesung bekannt. Der Einfachheit halber gebe es getrennte, unidirektionale Datenleitungen für Ein- und Ausgabe und nicht wie bei handelsüblichen Bausteinen eine gemeinsame, bidirektionale Datenleitung. Beachten Sie, daß kein explizites Clocksignal bei der Konstruktion des Bausteines verwendet werden soll.