

Rechnerstrukturen

Wintersemester 2004/2005

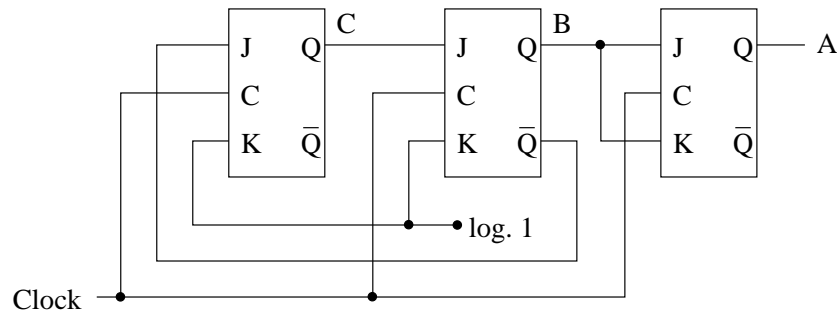
5. *Übungsblatt*

Abgabetermin: 07.12.04 in der Übung

Aufgabe 1:

6+2 Punkte

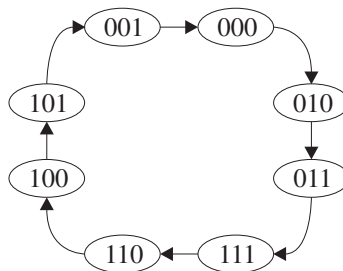
Gegeben sei folgende Schaltung aus JK-Master/Slave-Flip-Flops:



1. Welche Zustände (ABC) nehmen die Ausgänge der Schaltung innerhalb der nächsten sieben Clock-Impulse an, wenn Sie von einem initialen Zustand 000 ausgehen?
2. Geben Sie ein vollständiges Zustandsdiagramm an, das alle acht möglichen Zustände umfasst.

Aufgabe 2:

4+4+4 Punkte

Gegeben sei folgendes Zustandsdiagramm. Hierbei sei jeder Zustand im folgenden mit $Q_2Q_1Q_0$ bezeichnet.

1. Geben Sie die Wertetabelle zu dem gegebenen Zustandsdiagramm an. Stellen Sie zusätzlich in der Tabelle das Togglen von Q_0 , Q_1 und Q_2 dar (d.h. die Belegung von Q_0 nach Q_0' , Q_1 nach Q_1' bzw. Q_2 nach Q_2' wechselt zwischen 0 und 1).
2. Ermitteln Sie die minimierten Übergangsfunktionen (ohne Beachtung von eventuellen statischen Hazards) mittels Karnaugh-Diagramm und realisieren Sie den Automaten mittels D-Flip-Flops.
3. Realisieren Sie den Automaten mittels J-K-Master/Slave Flip-Flops im Toggle/Hold-Modus (d.h. J und K werden immer gleich belegt). Verwenden Sie hierzu die aus (1) ermittelten Togglebits.

Aufgabe 3:

6+4 Punkte

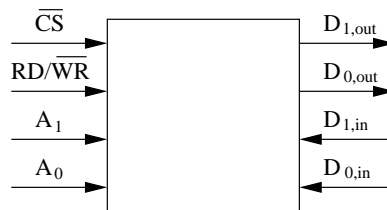
Entwerfen Sie einen 2-Bit Vorwärts-/Rückwärtszähler mittels Flip-Flops. Die Schaltung habe zwei Eingänge: **UP** und **Clock**. **UP** definiert die Zählrichtung (1 bedeutet vorwärts zählen, 0 bedeutet rückwärts zählen). Bei jedem **Clock**-Impuls wird der Zähler um 1 inkrementiert bzw. dekrementiert. Wenn der Zählerstand 11 erreicht ist, ergibt sich als Folgezustand 00 und umgekehrt.

1. Verwenden Sie in Ihrer Realisierung ausschließlich JK-Master/Slave-Flip-Flops.
2. Verwenden Sie ausschließlich D-Flip-Flops.

Aufgabe 4:

10 Punkte

Entwerfen Sie mittels JK-Master/Slave-Flip-Flops, Multiplexern und Demultiplexern einen Speicherbaustein mit folgendem Anschlußschema:



Die Anschlüsse verhalten sich wie aus der Vorlesung bekannt. Der Einfachheit halber gebe es getrennte, unidirektionale Datenleitungen für Ein- und Ausgabe und nicht wie bei handelsüblichen Bausteinen eine gemeinsame, bidirektionale Datenleitung. Beachten Sie, daß kein explizites Clocksignal bei der Konstruktion des Bausteines verwendet werden soll.