Rechnerstrukturen

Wintersemester 2004/2005

6. Übungsblatt *Abgabetermin: 16.12.04 in der Übung*

Aufgabe 1: *6+2 Punkte*

Realisieren Sie einen "1 aus 16"-Decoder. Verwenden sie dabei auschließlich "1 aus 4"-Decoder. Welches Laufzeitverhalten hat Ihre Realisierung?

Aufgabe 2: *4+4+1 Punkte*

Es soll ein kaskadierbarer n-Bit-Subtrahierer-Baustein entworfen werden. Dazu sei zunächst die Wahrheitstabelle für einen 1-Bit binären Subtrahierer analog zum bekannten Halbaddierer gegeben:

A	B	$Diff$	B_{Left}
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

$Diff$ ist das resultierende Differenzbit, während B_{Left} angibt, ob von der nächsthöherwertigen Stelle geborgt werden mußte.

1. Geben Sie die Wahrheitstabelle für einen 1-Bit binären Subtrahierer an analog zum bekannten Volladdierer mit den Dateneingängen A und B, einem borrow from right -Eingang B_{Right} sowie den Ausgängen $Diff$ und borrow request to left B_{Left}.
2. Skizzieren Sie, wie ein 4-Bit-Subtrahierer durch Kaskadierung des in der vorigen Aufgabe entworfenen Bausteins entsteht.
3. Wie muß für eine 4-Bit vorzeichenlose Subtraktion der Eingang B_{Right} des niederwertigsten Bausteins belegt werden? Wie wird ein Subtraktionsunterlauf angezeigt?

Aufgabe 3: *2+6+3+1 Punkte*

Realisieren Sie einen n-Bit-Komparator.

1. Zeichnen sie eine Blackbox mit allen benötigten Ein- und Ausgängen.
2. Realisieren Sie zuerst einen kaskadierbaren 1-Bit Komparator. Geben sie die Blackbox, die Wertetabelle und das Schaltnetz an.
3. Realisieren sie den n-Bit-Komperator unter Verwendung von 1-Bit-Komparatoren.
4. Wie ist das Laufzeitverhalten ihrer Realisierung?

Aufgabe 4: *10 Punkte*

Erweitern Sie das JK-Master/Slave-Flip-Flop aus der Vorlesung um einen asynchronen Reset-Eingang. Der Ausgang Q des Flip-Flops soll durch Anlegen einer log. 1 am Reset- Eingang unmittelbar auf log. 0 gehen.