

# Rechnerstrukturen

Wintersemester 2005/2006

## 4. 3bungsblatt

Abgabetermin: 07.12.05 und 08.12.05 in der 3bung

### Aufgabe 1:

10 Punkte

Gegeben sei die dezimale Spezifikation der Funktion:

$$f(e_9..e_0) = \sum(77, 193, 197, 201, 205, 653, 705, 709, 713, 717, 909, 969, 973)$$

Berechnen Sie die minimale Summe mittels eines Verfahrens Ihrer Wahl.

### Aufgabe 2:

5+5 Punkte

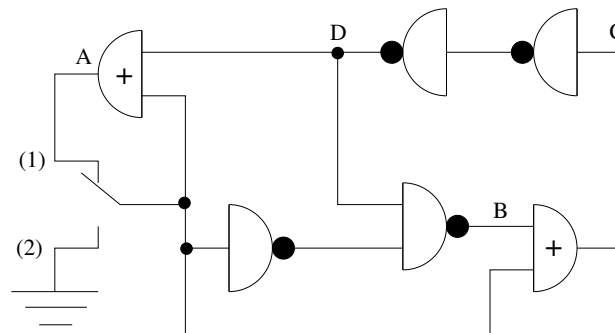
Mittels RS-Latches kann festgestellt werden, welches von zwei Ereignissen zuerst eingetreten ist.

1. Entwerfen Sie eine Schaltung mit drei Eing3ngen und drei Ausg3ngen, die feststellt, welches der drei Eingangssignale zuerst eingetreten ist. Dabei soll der Ausgang des zuerst selektierten Einganges logisch 1 werden und die anderen beiden Ausg3nge sollen logisch 0 liefern.
2. Diskutieren Sie, wie Sie die Schaltung erweitern w3rden, um eine h3here Anzahl von Ein- und Ausg3ngen realisieren zu k3nnen.

### Aufgabe 3:

3+8 Punkte

Zeichnen Sie ein Timingdiagramm f3r die folgende Schaltung:



Finden Sie zun3chst einen nicht-oszillierenden Zustand der Schaltung, wobei der Schalter wie gezeigt in Position (1) steht. Beginnen Sie Ihr Timingdiagramm in diesem stabilen Zustand und tragen Sie die Signale an den markierten Anschl3ssen A bis D ein. Zum Zeitpunkt  $T$  wird der Schalter in Position (2) gebracht. Vervollst3ndigen Sie Ihr Timingdiagramm, indem Sie die Signale A bis D in weiteren 15 Rastereinheiten einzeichnen. Gehen Sie dabei von einer konstanten Gatterlaufzeit  $t_g$  aus.

### Aufgabe 4:

4+3+2+2 Punkte

Ein D-Latch ist ein Baustein, der einen Datenwert zwischenspeichern kann. Das D-Latch hat einen Steuereingang  $C$ , einen Dateneingang  $D$  sowie einen Ausgang  $Q$ . Solange der Steuereingang  $C$  log. 0 ist, wird das aktuelle Datensignal  $D$  an den Ausgang  $Q$  weitergegeben. Sobald  $C$  auf log. 1 geht, wird der aktuelle Ausgangszustand an  $Q$  beibehalten.

1. Entwerfen Sie ein Zustandsdiagramm f3r das D-Latch.
2. Geben Sie eine entsprechende Wahrheitstabelle an.
3. Geben Sie die charakteristische Gleichung des D-Latches an.
4. Entwerfen Sie eine m3glichst minimale Schaltung f3r das D-Latch.