

## Rechnerstrukturen

Wintersemester 2005/2006

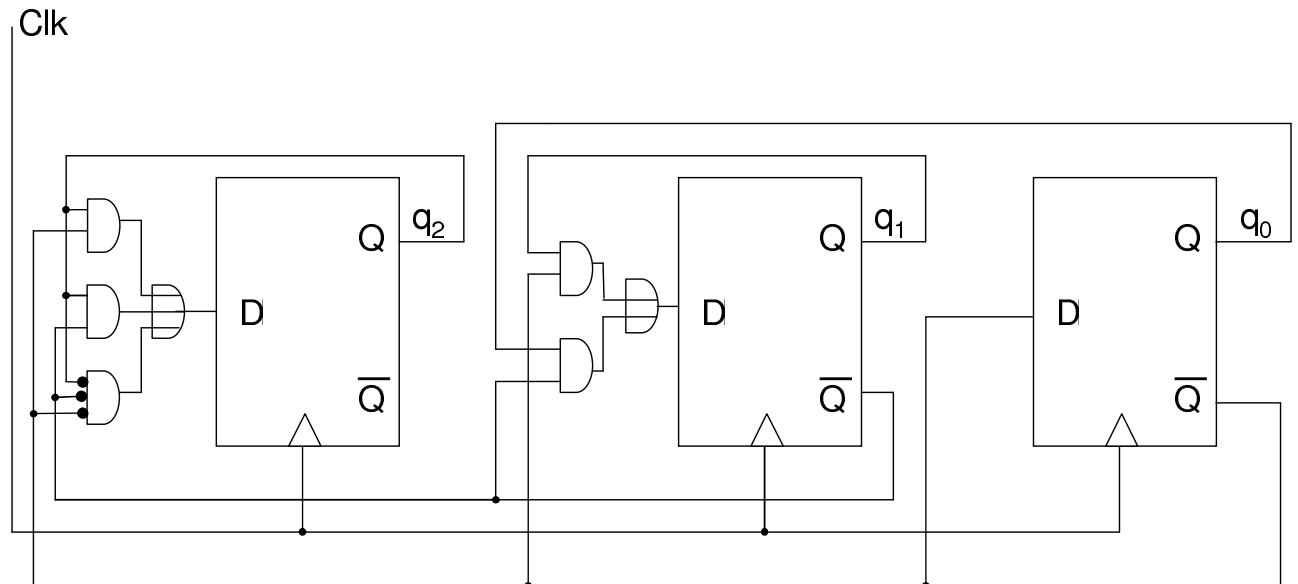
### 5. Übungsblatt

Abgabetermin: 14.12.05 und 15.12.05 in der Übung

#### Aufgabe 1:

8 Punkte

Gegeben sei die folgende Schaltung aus D-Flip-Flops.



Gehen Sie von einem initialen Zustand (011) für  $(q_2, q_1, q_0)$  aus. Welche Zustände nehmen die Ausgänge der Schaltung innerhalb der nächsten acht Clock-Zyklen an? Geben Sie dazu ein vollständiges Zustandsdiagramm an.

#### Aufgabe 2:

7+1 Punkte

Ziel dieser Aufgabe ist die effiziente Realisierung eines einfachen Binärzählers.

- Entwerfen Sie zunächst einen 1-Bit-Binärzähler unter Verwendung ausschließlich eines einzelnen D-Flip-Flops. Mit jedem Clock-Zyklus soll der Zähler den gespeicherten Wert um 1 erhöhen. Kaskadieren Sie diesen 1-Bit-Binärzähler so zu einem 4-Bit-Binärzähler, dass sie außer vier D-Flip-Flops keine weiteren Bausteine benötigen.
- Welche Ein- und Ausgänge hat ein n-Bit-Zähler dieser Bauart im Allgemeinen? Mit welchen Ein- und Ausgängen welcher D-Flip-Flops der Schaltung müssen diese verbunden werden?

#### Aufgabe 3:

9 Punkte

Realisieren Sie die Funktion  $A + B\bar{C} + \bar{C}D + DE + BCD$ . Verwenden Sie dabei ausschließlich einen Multiplexer. Als Eingaben stehen Ihnen die Konstanten 0 und 1 sowie die Eingangsvariablen und deren Komplement zur Verfügung.

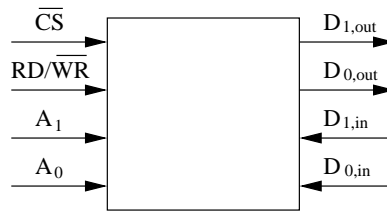
#### Aufgabe 4:

17 Punkte

Entwerfen Sie einen Speicherbaustein mit einem Anschlußschema wie in Abbildung 1.

Die Anschlüsse verhalten sich wie aus der Vorlesung bekannt. Der Einfachheit halber gebe es getrennte, unidirektionale Datenleitungen für Ein- und Ausgabe und nicht wie bei handelsüblichen Bausteinen eine gemeinsame, bidirektionale Datenleitung. Beachten Sie, daß kein explizites Clocksignal bei der Konstruktion des Bausteines verwendet werden soll.

Abbildung 1: Anschlußschema



- a. Überlegen Sie zunächst, wie Sie das Clocksignal für die Flip-Flops aus den im Diagramm dargestellten Eingangsleitungen erzeugen können. Welche Taktflanken der Signale sind in Ihrem Design ausschlaggebend, d.h. zu welchen Zeitpunkten werden die Daten von  $D_{in}$  zum Speichern in den Baustein übernommen bzw. wann werden die Daten an  $D_{out}$  zur Verfügung gestellt? Zeichnen Sie ein Timingdiagramm, in dem Sie einen Lese- und einen Schreibvorgang zeitlich darstellen. Markieren Sie dabei die eben besprochenen Datenübernahmezeitpunkte. Skizzieren Sie ferner in Hinblick auf benötigte Setup- und Hold-Zeiten, wann welche Signale zu einer korrekten Funktion des Bausteines stabil bleiben müssen.
- b. Entwerfen Sie den Speicherbaustein. Verwenden Sie in Ihrer Realisierung JK-Master/ Slave-Flip-Flops.