

Übung zur Vorlesung Rechnerstrukturen

Wintersemester 2006/2007

8. Übungsblatt

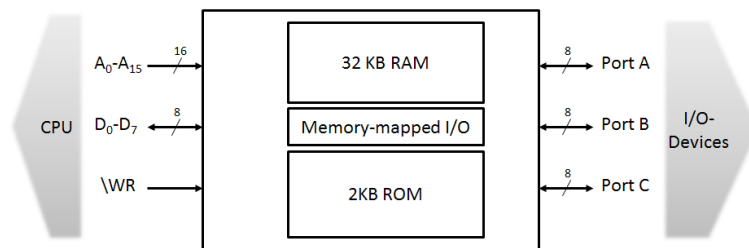
Abgabe am 17. bzw. 18.01.2007 in der Übung

Gesamtpunktzahl dieser Übung: 20

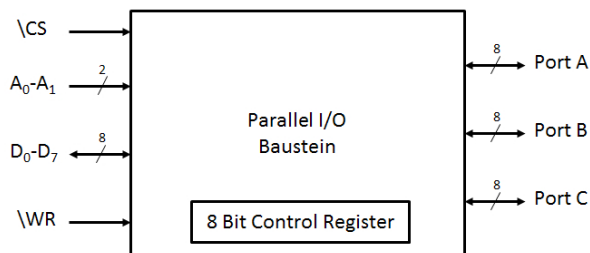
Aufgabe 1: (Speicherlayout)

20 Punkte

Gegeben sei ein 16-Bit Adressraum mit 2 KB ROM und 32 KB RAM Speicher sowie memory-mapped I/O. Die Breite des Datenbusses betrage 8 Bits. Entwerfen Sie einen einfachen Speicherbaustein mit diesem Speicherlayout und folgendem Anschlußschema.



Dabei befinde sich der ROM-Speicher an Adresse 0x0000, der RAM-Speicher an Adresse 0x8000. Memory-mapped I/O erfolge durch folgenden PIO Baustein, welcher an Adresse 0x2000 in den 16-Bit Adressraum eingebunden werden soll.



Die zwei Adressleitungen A_0 und A_1 des PIO-Bausteins wählen dabei, ob mittels der Datenleitungen $D_0 - D_7$ auf einen der drei I/O-Ports oder auf das interne Control-Register zugegriffen werden soll.

Geben Sie den Aufbau des Speicherbausteins ausgehend von 2048 x 4 Bit ROM, 8128 x 8 Bit RAM Bausteinen, sowie dem oben dargestellten PIO Baustein an. Die Eingangs- und Ausgangsleitungen der RAM und ROM Bausteine seien wie aus der Vorlesung bekannt.